

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭61-288613

⑮ Int. Cl.⁴

H 03 H 17/06
15/00

識別記号

庁内整理番号

7328-5J
8124-5J

⑬ 公開 昭和61年(1986)12月18日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 デジタルフィルタ

⑯ 特 願 昭60-129889

⑰ 出 願 昭60(1985)6月17日

⑱ 発 明 者	富 田	吉 弘	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	佐 藤	一 美	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	谷 口	智 彦	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	越 川	雅 美	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	海 上	重 之	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富士通株式会社		川崎市中原区上小田中1015番地	
⑳ 代 理 人	弁理士 柏谷 昭司		外1名	

明 細 書

1 発明の名称 デジタルフィルタ

2 特許請求の範囲

ランダムアクセスメモリ (1) と、

順次歩進するアドレスレジスタ (2) の内容による前記ランダムアクセスメモリ (1) のアドレスと、前記内容にフィルタのタップ数 N を加算した値の前記ランダムアクセスメモリ (1) のアドレスとに同一の入力データを書込み、且つ前記アドレスレジスタ (2) の内容に 1 ~ N の値を順次加算した値の前記ランダムアクセスメモリ (1) のアドレスからデータを順次読出す制御を行うアドレス制御部 (3) と、

前記ランダムアクセスメモリ (1) から順次読出されたデータに係数を乗算して累算する演算部 (4) とを備えた

ことを特徴とするデジタルフィルタ。

3 発明の詳細な説明

(概要)

トランスバーサル形のデジタルフィルタのタ

ップ遅延をランダムアクセスメモリを用いて実現したもので、入力データをランダムアクセスメモリの異なるアドレスに同時に書込み、タップ数に対応したデータを順次読出して、乗数の乗算、累算を行い、簡単な構成及び制御によって、ランダムアクセスメモリによる仮想的データシフトによりタップ遅延を実現するものである。

(産業上の利用分野)

本発明は、ランダムアクセスメモリを用いてタップ遅延を実現したトランスバーサル形のデジタルフィルタに関するものである。

トランスバーサル形フィルタは、入力データを順次所定時間遅延させたデータに係数を乗算して累算するものであり、時間領域自動等化器や各種の信号処理用のフィルタに適用されている。

(従来の技術)

従来のトランスバーサル形フィルタは、第4図に示す構成を有するものであり、入力端子 2 1 に加えられたデータは、1 サンプル時間 T の遅延素子 2 2 によって順次遅延され、係数器 2 3 に

(1)

(2)

於いて所定係数と乗算されて加算器24に加えられ、加算結果がフィルタ出力として出力端子25から出力されるものである。従って、フィルタ出力 Y_i は入力データを X_i 、フィルタ係数を C_i とすると、

$$Y_i = \sum_{k=0}^{N-1} C_k \cdot X_{i-k} \quad \dots (1)$$

で表される。入力データ X_i を順次シフトする構成としては、シフトレジスタが一般的であるが、ランダムアクセスメモリによってタップ遅延を実現する構成も知られている。

(発明が解決しようとする問題点)

トランスバーサル形フィルタのタップ遅延をシフトレジスタで実現する場合は、シフトレジスタのシフト段数が 2^n の構成が普通であることから、任意のタップ数を実現するには、ハード規模の増加、或いは、入出力間の遅延増加等の問題がある。

又ランダムアクセスメモリでタップ遅延を実現する場合は、任意数のタップを形成することが可

(3)

能であり、且つ係数の演算順序を任意に選定することができるが、データをシフトさせる為に、読出し書き込みを行わなければならない、処理量が増加する欠点がある。又アドレス制御により仮想的なシフトを行わせる場合は、アドレスカウンタやシフト位置を指示するポインタ等を必要とするから、回路規模が大きくなる欠点がある。

本発明は、簡単な構成によってディジタルフィルタのタップ遅延を実現することを目的とするものである。

(問題点を解決するための手段)

本発明のディジタルフィルタは、第1図を参照して説明すると、ランダムアクセスメモリ1と、アドレスレジスタ2と、このアドレスレジスタ2の内容によるアドレスと、その内容にフィルタのタップ数 N を加算した値のアドレスとによって、同一の入力データを前記ランダムアクセスメモリ1に書き込み、又前記アドレスレジスタ2の内容に順次1~ N の値を加算した値のアドレスで、前記ランダムアクセスメモリ1からの読出しを行うア

(4)

第1図と同一符号は同一部分を示し、11はタップ数 N を格納したレジスタ、12は1~ N を格納したレジスタ、13、14は加算器、15はセレクト、16は制御部、17はタップ係数を格納した係数レジスタ、18は乗算器、19は加算器、20は累算する為のレジスタである。制御部16はセレクト15を制御して、アドレスレジスタ2と、加算器13、14の出力とを選択して、ランダムアクセスメモリ1の書込アドレス又は読出アドレスとして加えるものであり、又制御部16はアドレスレジスタ2の歩進を行うものである。又ランダムアクセスメモリ1は、タップ数 N の2倍のアドレス領域を有するものである。

入力データがランダムアクセスメモリ1に加えられると、アドレスレジスタ2の内容がセレクト15により選択されて書込アドレスとしてランダムアクセスメモリ1に加えられる、そして、入力データの1回目の書き込みが行われると、次にセレクト15により加算器13の出力、即ち、アドレスレジスタ2の内容にタップ数 N を加算した値が

(5)

(実施例)
以下図面を参照して本発明の実施例について詳細に説明する。

第2図は本発明の実施例のブロック図であり、

(6)

選択されて書込アドレスとしてランダムアクセスメモリ1に加えられる。従って、入力データは、ランダムアクセスメモリ1の相互にN離れた2個所に書込まれる。

次に、セレクト15により加算器14の出力が選択されて、読出アドレスとしてランダムアクセスメモリ1に加えられる。その時、制御部16によってレジスタ12から順次1～Nの値が加算器14に加えられる。従って、読出アドレスは、アドレスレジスタ2の内容に1～Nを順次加算したものとなる。又アドレスレジスタ2の内容は、0～(N-1)となるように制御部16によって制御される。

ランダムアクセスメモリ1から順次読出されたデータは乗算器18に加えられ、読出アドレスに対応した係数が係数レジスタ17から乗算器18に加えられるから、データと係数との乗算が行われ、乗算結果は加算器19に加えられる。加算器19にはレジスタ20の内容が加えられるので、レジスタ20には乗算結果がセットされ、出力デ

ータとなる。データが外部に読出されると、レジスタ20はクリアされる。

レジスタ11は、固定のタップ数Nをセットするものであるから、単純なワイヤード論理回路で構成することも可能であり、又レジスタ12は、1～Nの数値を順次出力できる構成で良いから、簡単なカウンタとすることも可能である。

前述の機能は、マイクロプロセッサを用いて実現することも可能であり、乗算器18や各加算器13、14、19は、マイクロプロセッサの演算機能で実現することができる。

第3図は本発明の実施例の動作説明図であり、タップ数N=5とした場合を示すものである。時刻t0に於いて、アドレスレジスタ2の内容が0であると、入力データの0は、ランダムアクセスメモリ1の0番地と(0+N)=5番地とに書込まれる。そして、読出アドレスは、アドレスレジスタ2の内容に1～Nを加算した値となるものであるから、1～5番地のデータ(-4, -3, -2, -1, 0)が順次読出される。各番地の読出

(7)

順序は任意で良いものであり、読出アドレスに対応した係数が、係数レジスタ17から乗算器18に加えられて読出データと乗算され、加算器19による累算結果がレジスタ20にセットされて、出力データとなる。

1～5番地の読出動作が終了した後の時刻t1では、アドレスレジスタ2の内容は、制御部16によって+1され、その時刻t1の入力データの1は、ランダムアクセスメモリ1の1番地と6番地とに書込まれる。そして、2～6番地のデータが順次読出されて、係数との乗算とその乗算結果の累算とが行われる。

時刻t2に於いては、アドレスレジスタ2の内容は+1されて2となり、ランダムアクセスメモリ1の2番地と7番地とに入力データが書込まれ、3～7番地からデータが読出され、時刻t3に於いては、アドレスレジスタ2の内容は3となり、ランダムアクセスメモリ1の3番地と8番地とに入力データが書込まれ、4～8番地からデータが読出され、時刻t4に於いては、アドレスレジ

(9)

(8)

スタ2の内容は4となり、ランダムアクセスメモリ1の4番地と9番地とに入力データが書込まれ、5～9番地からデータが読出される。

そして、時刻t5となると、アドレスレジスタ2の内容は+1されて、最初の0となる。即ち、アドレスレジスタ2は、前述のように、0～(N-1)の巡回内容となるように時刻毎に歩進制御されるものであり、この実施例の場合は、0～4の巡回内容となる。従って、時刻t5に於いては、ランダムアクセスメモリ1の0番地と5番地とに入力データの5が書込まれる。そして、1～5番地からデータが読出される。この時、1～5番地には、時刻t1～t5に書込まれたデータ(1, 2, 3, 4, 5)が存在するから、6～9番地と0番地とから読出するような不連続な読出アドレスを用いる必要がなくなる。

以下同様にして、時刻t14では、アドレスレジスタ2の内容が4となり、ランダムアクセスメモリ1の4番地と9番地とに入力データの14が書込まれ、5～9番地からデータ(10, 11,

(10)

12, 13, 14)の読出しが行われる。そして、時刻t15になると、アドレスレジスタ2の内容は0に戻り、ランダムアクセスメモリ1の0番地と5番地とに入力データが書き込まれ、1~5番地からデータが読出されることになる。

従って、ランダムアクセスメモリ1に同一データを2個所に書き込むことにより、データの読出、書き込動作によるシフトの必要がないと共に、簡単なアドレス制御で仮想的データシフトにより、タップ遅延を実現することができる。

〔発明の効果〕

以上説明したように、本発明は、アドレスレジスタ2の内容とそれにフィルタのタップ数Nを加算した値とを書込アドレスとして、ランダムアクセスメモリ1に同一の入力データを書込み、そのアドレスレジスタ2の内容に1~Nを加算した値を読出アドレスとして、ランダムアクセスメモリ1からデータを順次読出し、係数の乗算と累算との演算を演算部4で行うものであり、アドレスレジスタ2の内容を順次0~(N-1)の巡回歩進

制御を行うだけで、1~Nは予め設定された数であるから、簡単なアドレス制御でタップ遅延を実現することが可能となるものである。

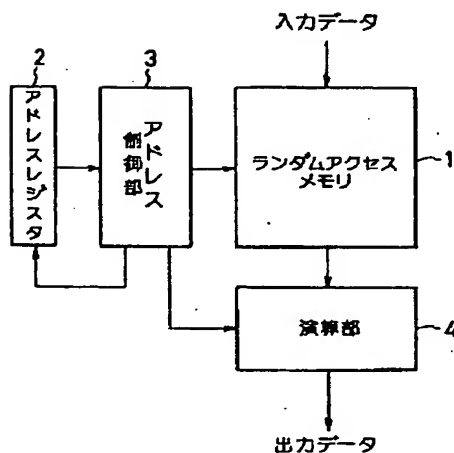
4 図面の簡単な説明

第1図は本発明の原理ブロック図、第2図は本発明の実施例のブロック図、第3図は本発明の実施例の動作説明図、第4図は従来例のブロック図である。

1はランダムアクセスメモリ、2はアドレスレジスタ、3はアドレス制御部、4は演算部である。

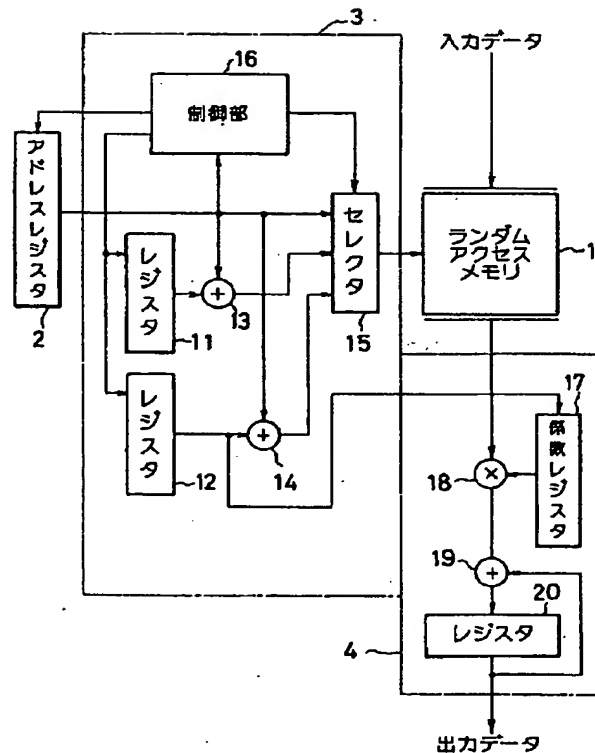
特許出願人 富士通株式会社
代理人弁理士 柏 谷 昭 司
代理人弁理士 渡 邊 弘 一

(11)



本発明の原理ブロック図
第1図

(12)



本発明の実施例のブロック図
第2図

時刻 ↓

	0	1	2	3	4	5	6	7	8	9
t0	0	-4	-3	-2	-1	0				
t1		1	-3	-2	-1	0	1			
t2			2	-2	-1	0	1	2		
t3				3	-1	0	1	2	3	
t4					4	0	1	2	3	4
t5	5	1	2	3	4	5	1	2	3	4
t6	5	6	2	3	4	5	6	2	3	4
t7	5	6	7	3	4	5	6	7	3	4
t8	5	6	7	8	4	5	6	7	8	4
t9	5	6	7	8	9	5	6	7	8	9
t10	10	6	7	8	9	10				
t11		11	7	8	9	10	11			
t12			12	8	9	10	11	12		
t13				13	9	10	11	12	13	
t14	10	11	12	13	14	10	11	12	13	14

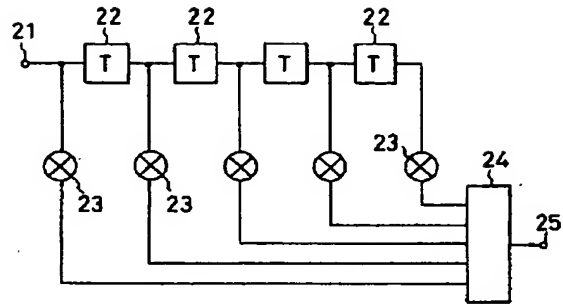
↑

書込 (t0) 読出 (t0) 書込 (t0)

書込 (t14) 読出 (t14) 書込 (t14)

アドレスレジスタ 0 1 2 3 4 0 1 2 3 4 0 1 2 3 4

本発明の実施例の動作説明図
第 3 図



従来例のブロック図
第 4 図